

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Atsushi YOKOCHI

Application No.: 10/619,579

Filed: July 16, 2003

Docket No.: 116614

For: IMAGE READ APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-211223 filed July 19, 2002; and

Japanese Patent Application No. 2002-211224 filed July 19, 2002.

In support of this claim, certified copies of said original foreign applications:

X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/jag

Date: August 14, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

20034287-01
US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 7月19日
Date of Application:

出願番号 特願2002-211223
Application Number:

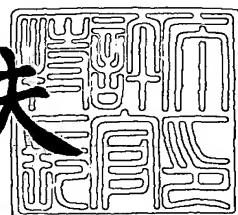
[ST. 10/C] : [JP 2002-211223]

出願人 ブラザー工業株式会社
Applicant(s):

2003年 7月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



57RG10

出証番号 出証特2003-3056978

【書類名】 特許願

【整理番号】 PBR01992

【提出日】 平成14年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/191

【発明者】

【住所又は居所】 愛知県名古屋市瑞穂区苗代町15番1号 ブラザー工業
株式会社内

【氏名】 横地 敦

【特許出願人】

【識別番号】 000005267

【氏名又は名称】 ブラザー工業株式会社

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【選任した代理人】

【識別番号】 100109195

【弁理士】

【氏名又は名称】 武藤 勝典

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006582

【包括委任状番号】 0018483

【プルーフの要否】 要

出証特 2003-3056978

【書類名】 明細書

【発明の名称】 画像読取装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列された複数の受光素子からなる第1センサと

主走査方向に配列された複数の受光素子からなり、前記第1センサに対して副走査方向に所定間隔離れて配置された第2センサと、

前記第1センサの各受光素子から得た画素信号を、所定の周期で受光素子の配列順に出力する第1出力手段と、

前記第2センサを構成する受光素子の内、偶数番目に配置された受光素子から得た画素信号を、前記周期で受光素子の配列順に出力する第2出力手段と、

前記第2センサを構成する受光素子の内、奇数番目に配置された受光素子から得た画素信号を、前記周期で受光素子の配列順に出力する第3出力手段と、

前記各出力手段からの画素信号を、デジタル信号としての画素データに変換して出力する変換手段と、

該変換手段から出力される画素データを記憶する画素データ記憶手段と、を備えた画像読取装置であって、

前記各出力手段が一走査当たりに出力する画素数を表す画素数情報が各出力毎に記憶された画素数情報記憶手段と、

前記画素データ記憶手段が記憶する画素データ数が、前記各出力手段が出力した画素数に対応するよう、前記画素数情報に基づき、前記画素データ記憶手段が記憶する画素データを制限する画素データ記憶制限手段と、

を備えたことを特徴とする画像読取装置。

【請求項 2】 前記画素数情報記憶手段には、前記画素数情報として、前記第1出力手段が一走査当たりに出力する画素数の情報が記憶されており、

前記画素データ記憶制限手段は、該画素数情報から、前記各出力手段が一走査当たりに出力する画素数を求め、該画素数に基づき、前記画素データ記憶手段が記憶する画素データを制限することを特徴とする請求項1記載の画像読取装置。

【請求項 3】 前記画素データ記憶制限手段は、前記変換手段から前記画素デ

ータ記憶手段への出力直後で、前記画素データ記憶手段が記憶する画素データを制限することを特徴とする請求項1又は請求項2記載の画像読取装置。

【請求項4】 前記画素データ記憶手段は、画素データを記憶する記憶部と、前記変換手段から出力された画素データを該記憶部に書き込む書き込み手段とを備え

、
前記画素データ記憶制限手段は、前記書き込み手段による前記記憶部への画素データの書き込み動作を制限することを特徴とする請求項1又は請求項2記載の画像読取装置。

【請求項5】 前記変換手段は、前記各出力手段からの画素信号の画素データへの変換を、外部から入力される変換指令に従い実行するよう構成され、

前記画素データ記憶制限手段は、前記変換手段が、前記各出力手段が出力した画素信号のみを画素データに変換するよう、前記変換手段への変換指令の入力を制御することを特徴とする請求項1から請求項4記載のいずれかの画像読取装置

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明 一次元配列の受光素子を搭載したイメージセンサを用いて、原稿の画像を電子データとして読み取る、スキャナ、FAX、コピー機及びこれらの複合機などの画像読取装置に関する。

【0002】

【従来の技術】

従来、一次元配列の受光素子を搭載したイメージセンサを用いて、原稿の画像を電子データとして読み取る、スキャナ、FAX、コピー機及びこれらの複合機などの画像読取装置が知られている。

【0003】

ところで、画像読取装置での画像読み取りにおいて、例えば、写真画像などデータ量が多くなっても高精度で読み取りたい場合、FAXなどのデータ転送に用いるため精度より読み取った画像のデータ量を減らしたい場合、大量に原稿があ

り、多少画質が落ちてもできるだけ速く読み取りたい場合、また画質、データ量、もそこそこで読み取りたい場合など、要望される画像データの読み取らせ方は、読み取った画像の使用用途及び、読み取り時の状況によるため多様である。

【0004】

これに対し、従来は、読み取った画像データの解像度を増減して出力することにより、画質、データ量を変化させて種々の用途に対応している。

また、これに対応する方法の一つとして、様々な用途に使えるよう、図2に例示するように、主走査方向に配列された複数の受光素子からなる2つのセンサ（第1センサ21、第2センサ22）と、第1センサ21の受光素子全ての画素信号（図2の例では17個）を出力する第1シフトレジスタ25と、第2センサ22の受光素子の偶数番目の画素信号（図2の例では8個）を出力する第2シフトレジスタ26と、第2センサ22の受光素子の奇数番目の画素信号（図2の例では9個）を出力する第3シフトレジスタ27とからなるCCDリニアイメージセンサが開発された。

【0005】

【発明が解決しようとする課題】

一方、このCCDイメージセンサからの画素信号の伝送は、受光素子が蓄積した電荷をシフトレジスタにより画素信号として順次出力するようになっていて、3つのシフトレジスタからの出力を同時に出力するときには、各シフトレジスタから出力する画素信号の数が違うため、画素信号が早く無くなってしまうシフトレジスタが出てくる。しかし、通常3つのCCDイメージセンサからの出力のコントロールは一系統で実施しているため、出力する画素信号が残っているシフトレジスタが一つでもある間、画素信号の出力動作は続く。このため、画素信号が無くなったシフトレジスタに対しても、画素信号を出力する動作は行われ、無効なデータが伝送され、メモリに記録されている。

【0006】

従来の画像読取装置では、図8に示す様に、前述のCCDリニアイメージセンサであるCCDリニアイメージセンサ20（以降CCDセンサ20と呼ぶ。）で読み取った画素信号を、セレクタ76で選択し、A/D変換器77でデジタル信

号に変換して、画像読取制御部40内にあるデータサンプリングブロック44で画素データを受け、画像読取制御部40内にあるメモリインターフェイス回路46によりメモリ70に画素データを書き込むよう構成されており、この画像読取装置での画像信号の伝送は以下のようになる。

【0007】

まず、CCDセンサ20では、図3に示す様に、転送クロック $\phi 1$ 、 $\phi 2$ のエッジ部毎に、シフトレジスタから転送される電荷に応じた電圧を出力端子OUT1～OUT3に出力する。すなわち、受光素子で受光した画像の画素信号を出力する。この時、第2シフトレジスタは転送クロックのエッジ部が9回目、第3シフトレジスタでは10回目以降の信号には画素情報は入っていない。

【0008】

次に、CCDセンサ20から出力された画素信号は、セレクタ76で受けられ、そのセレクタ76で受けられた3チャンネルの画素信号は、図4(a)に示す様に転送クロック $\phi 1$ 、 $\phi 2$ の周期内で順番に選択してA/D変換器77に出力され、A/D変換器77で、セレクタ76が出力する周期と同じ周期で図4(b)のように、アナログ信号からデジタル信号へ変換されシリアルデータ列として出力される。

【0009】

この時、転送クロックのエッジ部の回数が9回目以降の第2シフトレジスタからの出力、及び、10回目以降の第3シフトレジスタからの出力には、画素情報が入っていないが、セレクタ76は第2シフトレジスタ、及び第3シフトレジスタのチャンネルを選択してしまうため、この画素情報が入っていないチャンネルに対してもA/D変換器77でデジタル信号化の動作は行われシリアルデータ列(図4のハッチング部)として伝送され、図5(a)のようにメモリに記録されてしまっている。

【0010】

このように、画素情報を持たない無効なデータがメモリ領域を使用してしまい、メモリ容量を圧迫するという問題がある。また、メモリに記録された画素データを用いての画像処理の際に無効なデータが含まれることとなり、メモリからの

読み出しに時間がかかってしまったり、画像処理の段階で無効なデータを選別する処理が必要となる等の問題がある。

【0011】

本発明は、こうした問題点に鑑みなされたものであり、2つのセンサと、1つのセンサの受光素子全ての画素信号を出力する第1シフトレジスタと、もう一つのセンサの受光素子の偶数番目の画素信号を出力する第2シフトレジスタと、第2シフトレジスタと同じセンサの受光素子の奇数番目の画素信号を出力する第3シフトレジスタとからなるCCDイメージセンサを用いた画像読取装置において、シフトレジスタで出力する画素数の違いにより発生する無効なデータをメモリに書き込まないようにすることを目的とする。

【0012】

【課題を解決するための手段】

かかる目的を達成するためになされた請求項1記載の画像読取装置においては、主走査方向に配列された複数の受光素子からなる第1センサと、主走査方向に配列された複数の受光素子からなり、第1センサに対して副走査方向に所定間隔離れて配置された第2センサと、第1センサの各受光素子から得た画素信号を、所定の周期で受光素子の配列順に出力する第1出力手段と、第2センサを構成する受光素子の内、偶数番目に配置された受光素子から得た画素信号を、所定の周期で受光素子の配列順に出力する第2出力手段と、第2センサを構成する受光素子の内、奇数番目に配置された受光素子から得た画素信号を、所定の周期で受光素子の配列順に出力する第3出力手段と、各出力手段からの画素信号を、デジタル信号としての画素データに変換して出力する変換手段と、変換手段から出力される画素データを記憶する画素データ記憶手段とを備える。

【0013】

そして、各出力手段が一走査当たりに出力する画素数を表す画素数情報が各出力毎に記憶された画素数情報記憶手段と、画素データ記憶手段が記憶する画素データ数が、前記各出力手段が出力した画素数に対応するよう、画素数情報に基づき、画素データ記憶手段が記憶する画素データを制限する画素データ記憶制限手段とを備えたことを特徴とする。

【0014】

この結果、本発明の画像読取装置によれば、各出力手段が、一走査当たりに出力する画素数分しか、画素データ記憶手段に記憶されないようにできる。これにより、画素データ記憶手段での記憶領域の無駄がなくなる。また、画素データ記憶手段に記憶した画素データを用いる画像処理装置における処理を少なくできる。

【0015】

ところで、各出力手段が出力する画素数は、第1、第2センサの受光素子の数が偶数の場合、第1出力手段で出力する画素数は、第1センサの数と同じ数で、これに対し、第2、第3出力手段で出力する画素数は、第2センサの受光素子の数の半分（つまり第1出力手段で出力する画素数の半分）になる。また、第1、第2センサの受光素子の数が奇数の場合、第1出力手段で出力する画素数に対し、第2出力手段は、第2センサの画素数から1引いてから2で割った数となり、第3出力手段の画素数は、第2センサの画素数から1引いてから2で割って1加えた数となる。このように、各出力手段が出力する画素数の間には関連があり、第1出力手段で出力する画素数が分かっていれば、他の2つの出力手段が出力する画素数を簡単な演算手段で設定することができる。この関係を利用して、請求項2に記載のような画像読取装置とすることができる。

【0016】

即ち、請求項2記載の画像読取装置において、画素数情報記憶手段には、画素数情報として、第1出力手段が一走査当たりに出力する画素数の情報が記憶されており、画素データ記憶制限手段は、この画素数情報から、各出力手段が一走査当たりに出力する画素数を求め、この画素数に基づき、画素データ記憶手段に記憶する画素データを制限する。

【0017】

この結果、本発明（請求項2）の画像読取装置によれば、画素数記憶手段は1つの情報を持つだけのものとすることができます。よって画素数記憶手段の記憶領域を減らすことができ装置を簡単化できる。

また、画素データ記憶手段で記憶する画素データの制限は、出力手段での出力以降、どの時点で行っても良いが、より上流で行う方が下流で行う処理で無効な

データに対する処理を行わなくても済む。

【0018】

そこで、請求項3記載の画像読取装置においては、画素データ記憶制限手段は、変換手段から画素データ記憶手段への出力直後で、画素データ記憶手段が記憶する画素データを制限している。

この結果、本発明（請求項3）の画像読取装置によれば、変換手段の出力直後の画素データを制限できる。これにより、制限を行った以降の画素データの伝送経路に無効なデータは流れなくなるため、伝送経路上に画素データの処理装置がある場合に、無効なデータによる無駄な処理を削減できる。

【0019】

また、画素データの伝送の経路上、画素情報記憶手段へ記憶する画素データの伝送制限は、より下流で行っても良く、請求項4記載の画像読取装置のように、画素データ記憶手段への書き込みの段階で行ってもよい。

即ち、請求項4記載の画像読取装置において、画素データ記憶手段は、画素データを記憶する記憶部と、変換手段から出力された画素データを記憶部に書き込む書き手段とを備え、記画素データ記憶制限手段は、書き手段による記憶部への画素データの書き動作を制限する。

【0020】

この結果、本発明（請求項4）の画像読取装置によれば、記憶部に書き込む段階での書き込み制限をすることができる。

また、無効な画素データが流れている間は、消費電力を抑える目的から極力、不必要的動作は行わないようにしたい。

【0021】

これに対して、請求項5記載の画像読取装置においては、変換手段は、各出力手段からの画素信号の画素データへの変換を、外部から入力される変換指令に従い実行するよう構成され、画素データ記憶制限手段は、変換手段が、各出力手段が输出した画素信号のみを画素データに変換するよう、変換手段への変換指令の入力を制御する。

【0022】

この結果、本発明（請求項5）の画像読取装置によれば、無効データの時には変換手段は行われず、消費電力を低減できる。

【0023】

【発明の実施の形態】

以下に本発明の実施例を図面と共に説明する。

【第1実施例】

図1は、本発明が適用された画像読取装置1の内部構成を表すブロック図である。

【0024】

本実施例の画像読取装置1は、CCD（Charge Coupled Diode）リニアイメージセンサ20が感受した原稿画像の画素信号を、AFE（Analog Front End）75でデジタル信号（画素データ）に変換して出力し、画像読取制御部40内にあるデータサンプリングブロック44で画素データを受け、画像読取制御部40内にあるメモリインターフェイス回路46によりメモリ70に画素データを書き込む画像読取装置である。

【0025】

本実施例の画像読取装置1は、図1に示すように、CCDリニアイメージセンサ（以下CCDセンサと呼ぶ。）20と、画像読取装置1全体の動作を制御するCPU80、CCDセンサ20からの3出力のアナログデータをセレクタ76で切り換えながらデジタル信号に変換し出力するAFE75、画素データを記録（記憶）するメモリ70、CCDセンサ20や、AFE75及びメモリ70の動作を制御する画像読取制御部40などで構成されている。

【0026】

尚、CCDセンサ20は、図2に示すように、第1センサ21、第2センサ22、第1シフトレジスタ25、第2シフトレジスタ26、及び第3シフトレジスタ27などで構成される。

そして、第1センサ21は、受光した光量に応じて電荷を蓄積する受光素子が一次元に配置されている。また、第2センサ22は、第1センサ21と同じ受光素子列を第1センサ21に対し、副走査方向に所定のライン分離（今回は6ラ

イン分）、かつ主走査方向に半素子分ずれて設置している。

【0027】

また、第1シフトレジスタ25は、第1センサ21の受光素子が蓄積した電荷の全てを個々に受け、出力端子OUT1に向かって電荷をシフトして、電荷に比例した電圧を画素信号として出力端子OUT1から順次出力し、第2シフトレジスタ26は、第2センサ22の偶数番目の受光素子の電荷を個々に受け、第1シフトレジスタ25と同様の方法で出力端子OUT2に順次出力し、第3シフトレジスタ27は、第2センサ22の奇数番目の受光素子の電荷を個々に受け第1シフトレジスタ同様の方法で出力端子OUT3に順次出力する。

【0028】

また、第1、第2センサ21、22において、図2に示す例では、受光素子の数は17個となっている。このため、第1シフトレジスタから出力する画素信号の数は17個、第2シフトレジスタから出力する画素信号の数は8個、第3シフトレジスタから出力する画素信号の数は9個となる。

【0029】

また、AFE75は、CCDセンサ20の出力端子OUT1～OUT3からの出力を選択して出力するセレクタ76と、セレクタ76からの信号をデジタル信号に変換するA/D変換器77とからなる。そして、AFE75は、CCDセンサ20からの入力をサンプルホールドし、それぞれゲインを調整可能で、かつオフセット補正機能を有するチャンネルを3個有し、CCDセンサ20の出力端子OUT1からの出力をチャンネルCH1として受け、出力端子OUT2の出力をチャンネルCH2として受け、出力端子OUT3の出力をチャンネルCH3として受け、外部からの指令に基づき出力する信号のチャンネルをセレクタ76によって選択し、所定の時間毎に切り換えて出力する。

【0030】

また、画像読取制御部40は、いわゆるASIC (Application Specific Integrated Circuit) で構成され、AFE75の動作を制御するAFEコントロールブロック42、CCDセンサ20の動作を制御するデバイスコントロールブロック43、FIFO (First In

n First Out) メモリを有し、AFE75からの画素データを、サンプリングして FIFO メモリに記録するデータサンプリングブロック 44、データサンプリングブロック 44 での画素データのサンプリングのタイミング信号を生成する取込信号生成回路 50、サンプリングした画素データに対し、シェーディング等の補正を加える読取データ処理回路 45、読取データ処理回路 45 からの画素データをメモリ 70 に書き込みを行うメモリインターフェイス回路 46、及び画像読取制御部 40 内の各ブロックでの動作条件の設定値を記憶するレジスタ群 60 などにより構成されている。

【0031】

尚、取込信号生成回路 50 は、各チャンネル CH1～CH3 毎に、デバイスコントロールブロック 43 からのパルス信号でカウントアップするカウンタ 53、及び、対応するチャンネルの取込画素数設定レジスタの値とカウンタ 53 の値とを比較する論理演算回路である比較器 52、及び、比較器 52 の出力とデバイスコントロールブロック 43 からのパルス信号との論理積を出力する AND 素子 51 を備えている。

【0032】

また、レジスタ群 60 は、CCD センサ 20 の出力端子 OUT1 から出力される画素信号の数を記憶するチャンネル 1 取込画素数設定レジスタ 61、出力端子 OUT2 から出力される画素信号の数を記憶するチャンネル 2 取込画素数設定レジスタ 62、出力端子 OUT3 から出力される画素信号の数を記憶するチャンネル 3 取込画素数設定レジスタ 63 などからなり、各レジスタの内容は、画像読取装置 1 の起動時に CPU80 により書き込まれる。

【0033】

また、デバイスコントロールブロック 43 は、CCD センサ 20 からの画素信号の出力時間で決まる周期のパルス信号であるシフトゲート信号 SH と、シフトレジスタの特性で決まる周期で、180 度位相の違う 2 つの矩形波である転送クロック ϕ 1、 ϕ 2 と、転送クロックと同じ周期で出るパルス信号であるリセット信号 RS と、を CCD センサ 20 に出力する。更に、デバイスコントロールブロック 43 は、セレクタ 76 で選択するチャンネルに対応した取込信号生成回路 5

0のカウンタ53へのラインに、パルス信号を出力する。尚、このパルス信号は、A F E 7 5のセレクタ76でのチャンネルを切り換えるタイミングに同期している。また、シフトゲート信号S Hのタイミングで、取込信号生成回路50のカウンタ53などをリセットするようになっている。

【0034】

ここで、本画像読取装置で、C C Dセンサ20の第1、第2センサ21、22での画素信号を、第1～第3シフトレジスタ25～27から出力して、画素データとしてメモリ70に書き込むまでの動作を説明する。

尚、本動作で読み込まれた画素データは、第2センサ22から画素データと、C C Dセンサ20を6ライン分移動したときの第1センサ21からの画素データとを、交互に並べた画素データとして取り扱うことにより、1つのセンサがもつ解像度の2倍の解像度の画素データとして用いるためのものである。

【0035】

まず、C C Dセンサ20において、第1センサ21に前回のシフトゲート信号S Hから今回のシフトゲート信号S Hまでの間に原稿からの光を受けて蓄積された受光素子毎の電荷を、シフトゲート信号S Hの立ち下がりで、第1シフトレジスタ25に移動する。また、同じく第2センサ22においても、偶数番目の受光素子の電荷が、第2シフトレジスタ26に、奇数番目の受光素子の電荷が第3シフトレジスタ27に移動する。

【0036】

次に、図3に示す様に、C C Dセンサ20の各出力端子O U T 1～O U T 3の出力は、リセット信号R Sの立ち上がりで、電荷がクリアされ基準電圧に戻る。そして、転送クロック ϕ 1、 ϕ 2のエッジ部で、各シフトレジスタの電荷が出力端子方向にシフトされ、一番出力端子側のシフトレジスタの電荷が出力端子にシフトするため、シフトされた電荷に応じた電圧が出力端子O U T 1～O U T 3に出力される。すなわち、受光素子が受光した画像の画素信号が出力される。

【0037】

そして、出力端子O U T 1～O U T 3での電圧変化が安定する時点から、次のリセット信号R Sが来るまでの間にA F E 7 5の各チャンネルC H 1～C H 3で

、出力端子OUT1～OUT3の画素信号をサンプルホールドし、そのサンプルホールドした画素信号にAFEコントロールブロック42を介して、あらかじめ設定されているゲインをかけ、オフセット補正を加える。

【0038】

これらの各センサの電荷が各シフトレジスタによりシフトされて、AFE75の各チャンネルCH1～CH3毎にサンプルホールドされ、オフセット補正されるまでの動作は、転送クロック ϕ 1、 ϕ 2のエッジ毎に繰り返される。

次に、AFE75の各チャンネルCH1～CH3でサンプルホールドされ、オフセット補正された信号は、セレクタ76で、図4（a）に示す様に、転送クロック ϕ 1、 ϕ 2の周期内で3つのチャンネルを順次選択し出力される。

【0039】

次に、セレクタ76から出力された信号は、A/D変換器77で、セレクタ76の出力と同じ周期で図4（b）のように、アナログ信号からデジタル信号へ変換され、例えば、1画素につき8ビットからなるデジタル信号（画素データ）として順次出力される。

【0040】

一方、取込信号生成回路50では、A/D変換器77が画素データを出力するタイミングで、デバイスコントロールブロック43から、A/D変換器77から出力される画素データのチャンネルに対応した回路にパルス信号を受け、カウンタ53の値によってデータサンプリングブロック44に対して、サンプリングのトリガ信号を出力する。

【0041】

例えば、チャンネルCH2の画素データがA/D変換器77から出力される時、デバイスコントロールブロック43からチャンネルCH2に対応するカウンタ53に対してパルス信号が出力され、カウンタ53はカウンタの値をカウントアップする。そして、カウンタ53の値と、チャンネル2取込画素数設定レジスタ62の値とを比較器52で比較して、カウンタ53の値がチャンネル2取込画素数設定レジスタ62の値である「8」以下の場合は、比較器52の出力が「1」となる。この時、デバイスコントロールブロック43からのパルス信号がAND

素子51にも入り、パルス信号が来ている間AND素子51が「1」となる。

【0042】

同様に、チャンネルCH1の画素データに対しては、カウンタ53の出力が、チャンネル1取込画素数設定レジスタ61の値「17」以下の場合、及びチャンネルCH3の画素データに対しては、カウンタ53の出力がチャンネル3取込画素数設定レジスタ63の値「9」以下の場合に、デバイスコントロールブロック43からのパルス信号が来ている間、AND素子51が「1」となる。

【0043】

次に、AFE75から出力された画素データは、データサンプリングブロック44で、取込信号生成回路50の3つのAND素子51のいずれかの出力が「1」となったタイミングでサンプリングされて、FIFOメモリに記憶される。この時、受けたAND素子51のチャンネルを基に、画素データにチャンネルの情報が加えられる。例えば画素データに、チャンネルの情報を表す2ビットのデータを加える。

【0044】

次に、データサンプリングブロック44のFIFOメモリに記憶された画素データは、読取データ処理回路45により取り出されて、画素データのチャンネルに対応したシェーディング処理、ガンマ補正、暗補正の演算処理が行われる。

次に、読取データ処理回路45で演算処理された画素データは、メモリインターフェイス回路46でメモリ70の所定のアドレスに順番に書き込まれる。

【0045】

次に、次のシフトゲート信号SHが出ると、画像読取制御部40内にある各カウンタはリセットされると共に、CCDセンサ20は、先の画素信号の出力をしている間に第1及び第2センサ21、22に蓄積された電荷を、再度各シフトレジスタに転送する。そして、以下同様にCCDセンサ20から画素信号を出力して、メモリ70に記録（記憶）するまでの動作を繰り返す。

[効果]

取込信号生成回路50のカウンタ53が、チャンネル1～3取込画素数設定レジスタ61～63に設定の画素数（つまりチャンネルCH1は17個、チャンネ

ルCH2は8個、チャンネルCH3は9個。) より多くなってからは、比較器52の出力が「0」となるため、AFE75から出力されるチャンネルの画素データに対して、AND素子51からのイネーブル信号が出力されず、データサンプリングブロック44でサンプリングされない。よって、図5(b)のように第1～第3シフトレジスタ25～27が出力する画素数の画素データだけがメモリに記録(記憶)される。

【0046】

これにより、メモリ70への無効な画素データの記録(記憶)を減らすことができ、不必要に大きなメモリ70を持たずに済む。また、外部の画像処理装置等に、メモリのデータを出力する際にも、データ量が少なくなり速く出力でき、外部の画像処理装置等での処理も軽減できる。

[第2実施例]

第2実施例は、目的、用途は第1実施例と同じで、画像読取制御部40の構成を、第1実施例では、取込信号生成回路50の信号を用いて、データサンプリングブロック44のサンプリングタイミングを制御して伝送する画素データを制限していたものを、第2実施例では、メモリインターフェイス回路46でメモリ70に書き込む画素データを、取込信号生成回路54で制限するようにしたものである。

【0047】

その構成は、図6の全体構成に示す様に、デバイスコントロールブロック43が、データサンプリングブロック44に対しサンプリングのタイミング信号を出力し、取込信号生成回路54がメモリインターフェイス回路46に対し、メモリ70への画素データの書き込みを許可する信号を出力するようになっている。

【0048】

また、メモリインターフェイス回路46は、カウンタ機能を有し、3つのデータ(つまりCCDセンサ20の3チャンネル分の信号データ)を受け取る毎に、取込信号生成回路54に対し、カウントアップのためのパルス信号を出力する。

そして、取込信号生成回路54は、メモリインターフェイス回路46からのパルス信号により、カウンタ53をカウントアップし、チャンネル1取込画素数設

定レジスタ61の値、チャンネル2取込画素数設定レジスタ62の値、チャンネル3取込画素数設定レジスタ63の値をそれぞれ各比較器52で比較し、カウンタ53の値が設定値以下の場合、該当する比較器52が「1」をメモリインターフェイス回路46の各入力ポートに出力する。

【0049】

メモリインターフェイス回路46は、受け取った画素データがもつチャンネル情報に対応する取込信号生成回路54からの入力ポートに「1」の信号があると、メモリ70に対する書き込みを行う。

[効果]

メモリインターフェイス回路46でメモリ70に書き込むデータは、チャンネル1～3取込画素数設定レジスタ61～63に設定の画素数より大きくなつてから出力されるデータに対しては、比較器52の出力が「0」となるため、メモリ70への書き込みが行われない。よつて、第1から第3シフトレジスタ25～27が出力する画素数の画素データだけがメモリに記録（記憶）される。

【0050】

この結果、第1実施例と同様の効果を得ることができる。

[本発明との対応関係]

上述した、CCDセンサ20の第1センサ21、第2センサ22、第1シフトレジスタ25、第2シフトレジスタ26、第3シフトレジスタ27は、それぞれ本発明における、第1センサ、第2センサ、第1出力手段、第2出力手段、第3出力手段である。

【0051】

また、AFE75が、本発明における変換手段で、メモリ70が、画像データ記憶手段で、取込画素数設定レジスタ61～66が、画素数情報記憶手段で、取込信号生成回路50、54が、画素データ記憶制限手段である。

[変形例]

以上、本発明の実施形態について説明したが、本発明は上記の具体的な実施形態に限定されず、このほかにも様々な形態で実施することができる。

【0052】

例えば、上記第1実施例の説明では、CCDセンサ20からの3つの出力を全てメモリ70に記録（記憶）する場合について説明したが、AFEコントロールブロック42に対し、AFE75で選択するチャンネルを指令し、AFEコントロールブロック42からの信号によりセレクタ76で選択するチャンネルを切り換えることにより、各チャンネルのうち1つのチャンネルの信号の画素データだけをメモリ70に記録（記憶）することや、チャンネルCH2、CH3の二つの信号の画素データだけをメモリ70に記録（記憶）することもできる。これにより、第1センサ及び第2センサが持つ解像度での画素データの記録（記憶）や、第2センサが持つ解像度の半分の解像度での画素データの記録（記憶）など、読み取る解像度を変えたデータを取得することができる。

【0053】

また、本第1、第2実施例において、取込画素数を各チャンネルについてチャンネル1～3取込画素数設定レジスタ61～63の3つのレジスタに持たせているが、取込画素数には各チャンネル間で関連があるため、図7のように、レジスタ群にもつ情報はチャンネル1取込画素数設定レジスタ61だけとし、チャンネル1取込画素数設定レジスタ61の値のバイナリデータを、1ビット桁落ちする方向にシフトする（つまり2で除算する）演算回路55と、演算回路55でのビットシフトで外にでてくる値（チャンネル1取込画素数設定レジスタ61の値が偶数なら「0」、奇数なら「1」）が設定される+1設定レジスタ56で構成してもよい。尚、チャンネルCH2の比較器52では、チャンネル2取込画素数として演算回路55の値を用い、チャンネルCH3の比較器52では、チャンネル3取込画素数として、演算回路55の値に、+1設定レジスタ56の値を加えた値が用いられる。このように、チャンネル1取込画素数設定レジスタ61の設定だけで良い画像読取装置とすることができる。

【0054】

さらに、チャンネルCH2とチャンネルCH3での取込画素数の違いは1画素分だけであり、チャンネルCH2での画素数を、多い方のチャンネルCH3と同じものとして、チャンネルCH2用AND素子51にチャンネルCH3用の比較器52の出力を入力し、チャンネルCH2用の比較器52、カウンタ53を省略

するようにしても良い。これにより、より簡略な装置構成とすることができます。

【0055】

また、図1の点線で示すように、取込信号生成回路50からの信号をAFEコントローラ42に入力し、取込信号生成回路50から信号が入ったチャンネルの信号に対してA/D変換器77の動作を実施するように制御してもよい。これにより、無効なデータが流れている間は、A/D変換器77が動作しなくなるため、電力の低減が図られる。

【図面の簡単な説明】

【図1】第1実施例の画像読取装置の全体構成を表す図である。

【図2】第1実施例のCCDリニアイメージセンサ20の構成を表す図である。

。

【図3】第1実施例のCCDセンサ20での信号の状態を表すタイミングチャート図である。

【図4】第1実施例の画素データの状態を説明する図である。

【図5】第1実施例のメモリ70での画素データの記録状態を説明する図である。

【図6】第2実施例の画像読取装置の全体構成を表す図である。

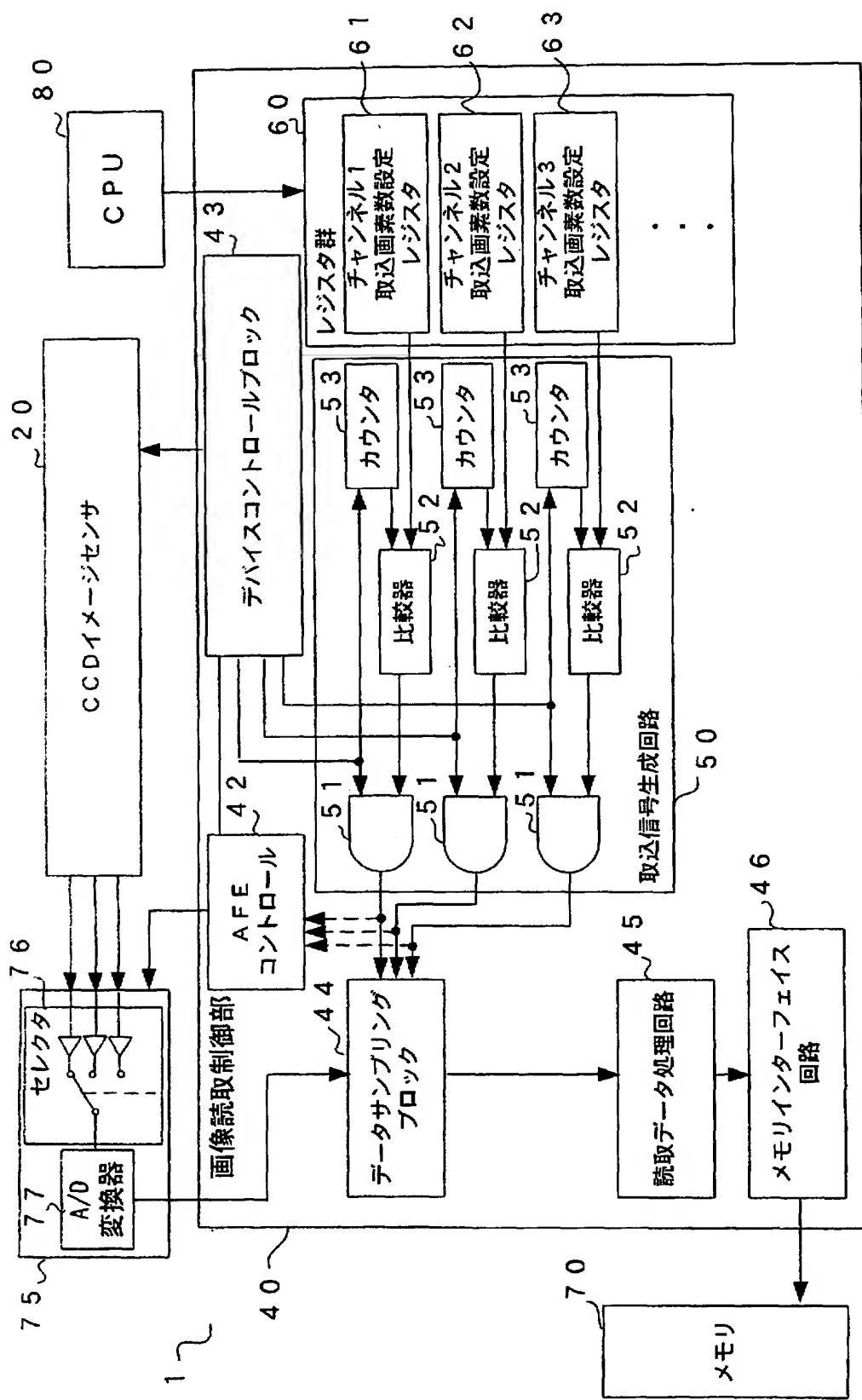
【図7】第1実施例の画像読取装置の変形例の全体構成を表す図である。

【図8】従来の画像読取装置の全体構成を表す図である。

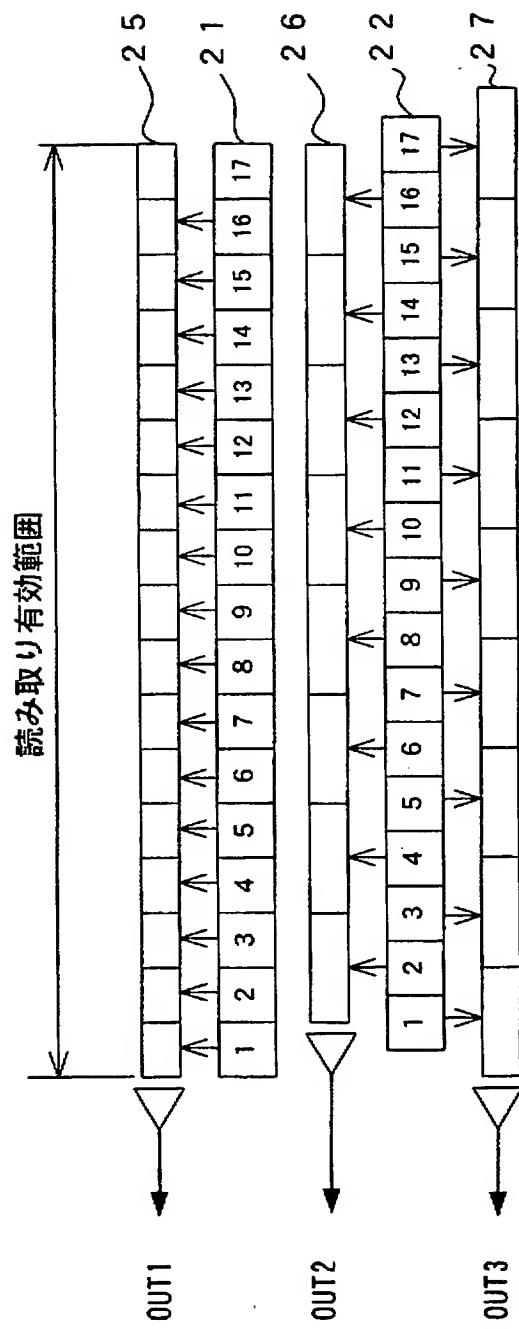
【符号の説明】 1…画像読取装置、20…CCDリニアイメージセンサ、21…第1センサ、22…第2センサ、25…第1シフトレジスタ、26…第2シフトレジスタ、27…第3シフトレジスタ、40…画像読取制御部、42…AFEコントロールブロック、43…デバイスコントロールブロック、44…データサンプリングブロック、45…読み取りデータ処理回路、46…メモリインターフェイス回路、50…取込信号生成回路、51…AND素子、52…比較器、53…カウンタ、54…取込信号生成回路、60…レジスタ群、61…チャンネル1取込画素数設定レジスタ、62…チャンネル2取込画素数設定レジスタ、63…チャンネル3取込画素数設定レジスタ、70…メモリ、75…AFE、76…セレクタ、77…A/D変換器。

【書類名】 図面

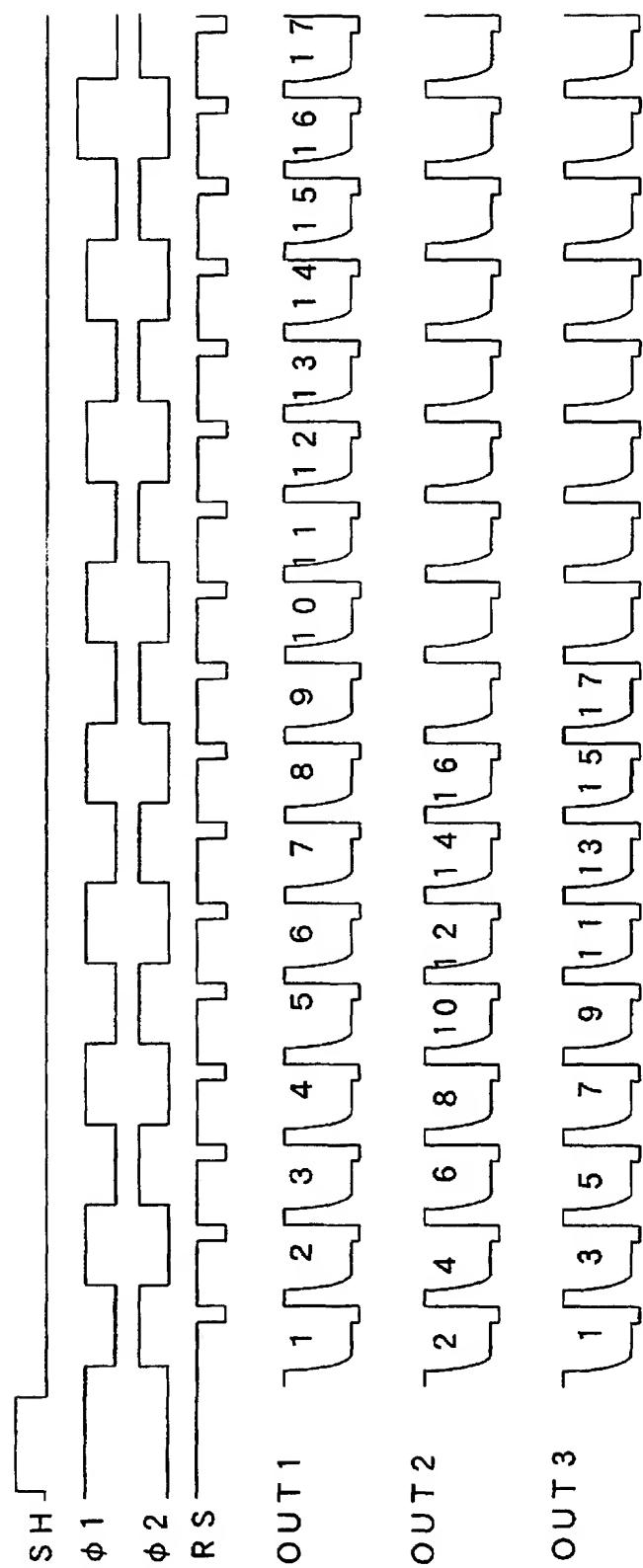
【図 1】



【図2】

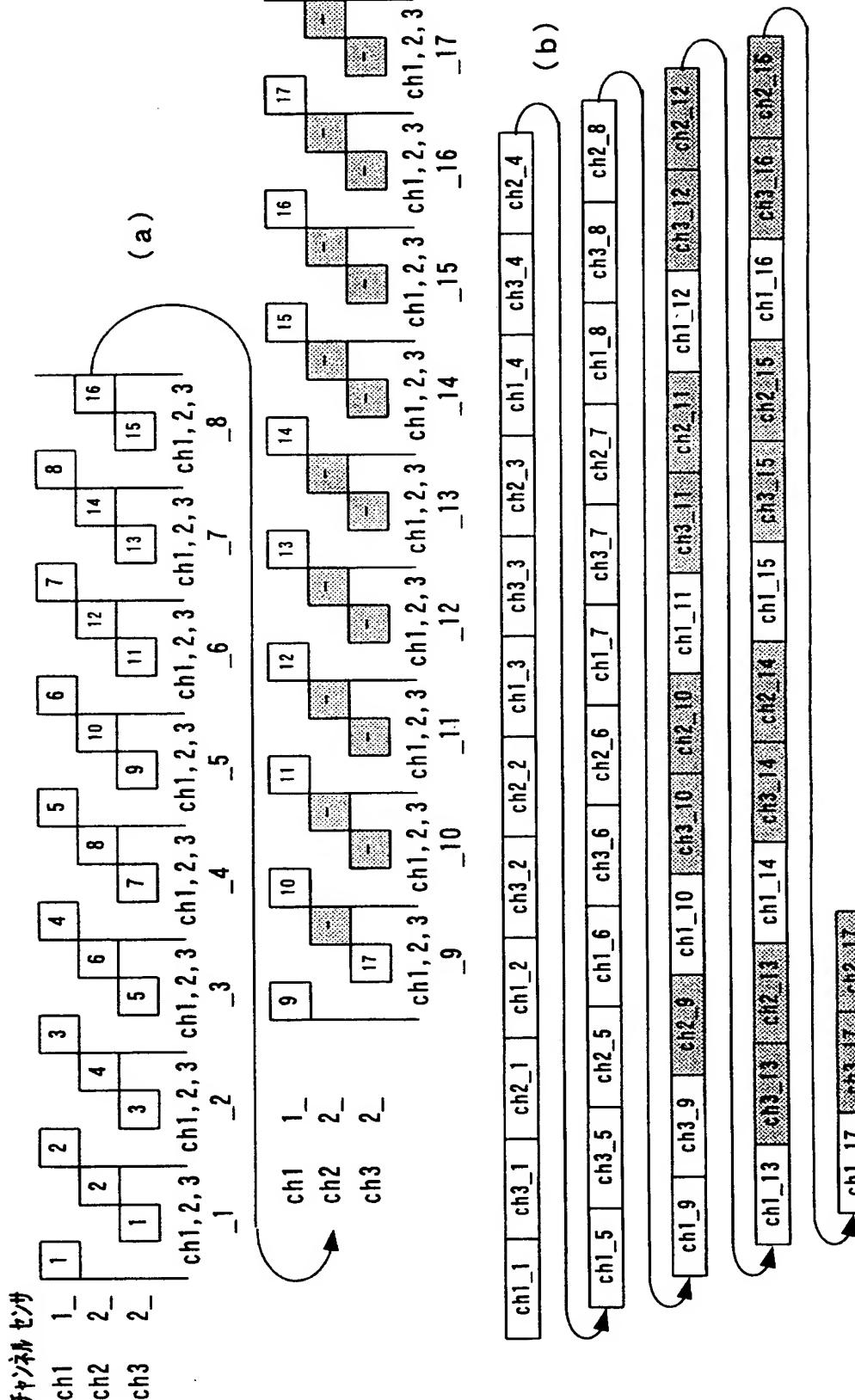


【図3】



【図4】

出証特2003-3056978

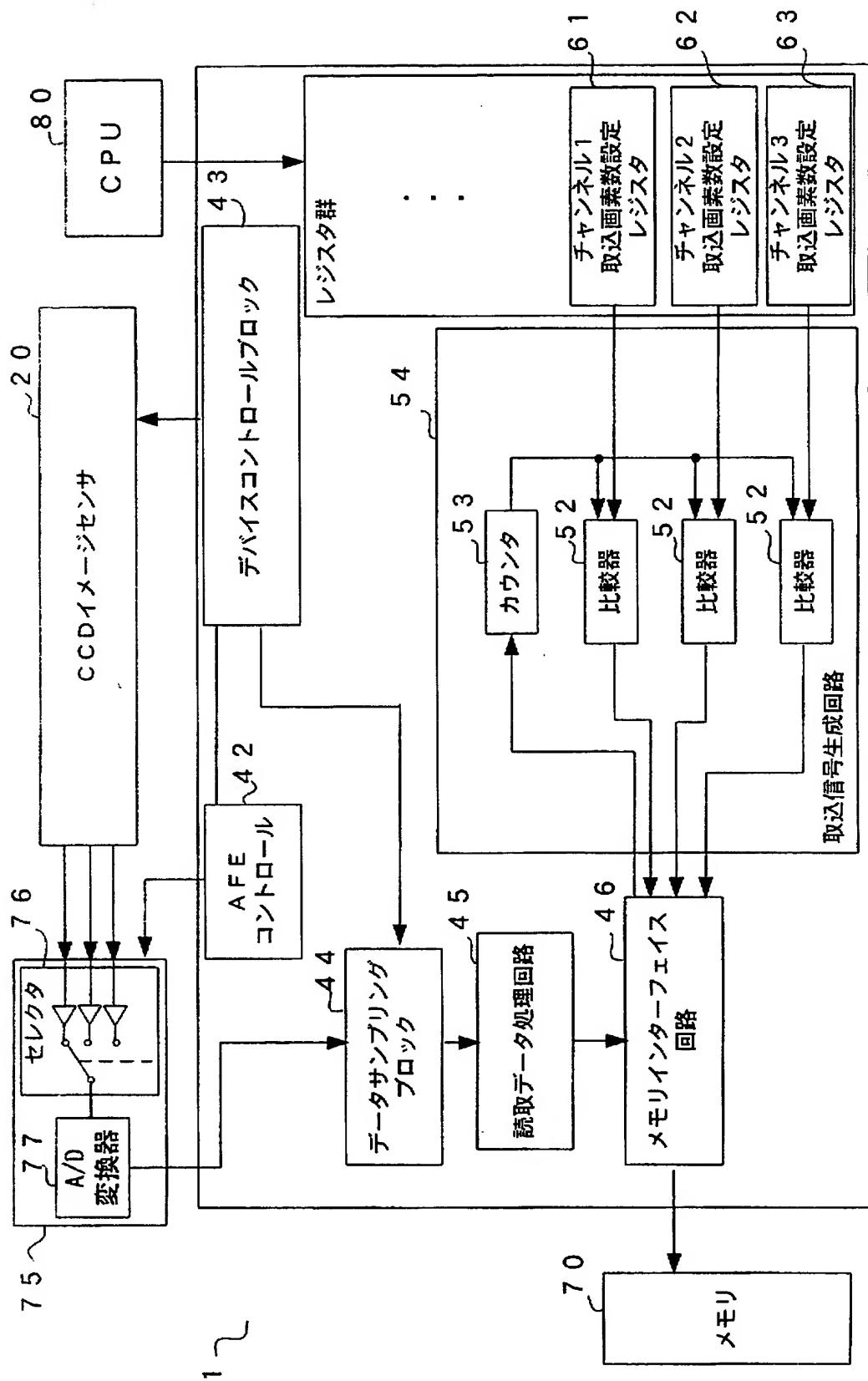


【図 5】

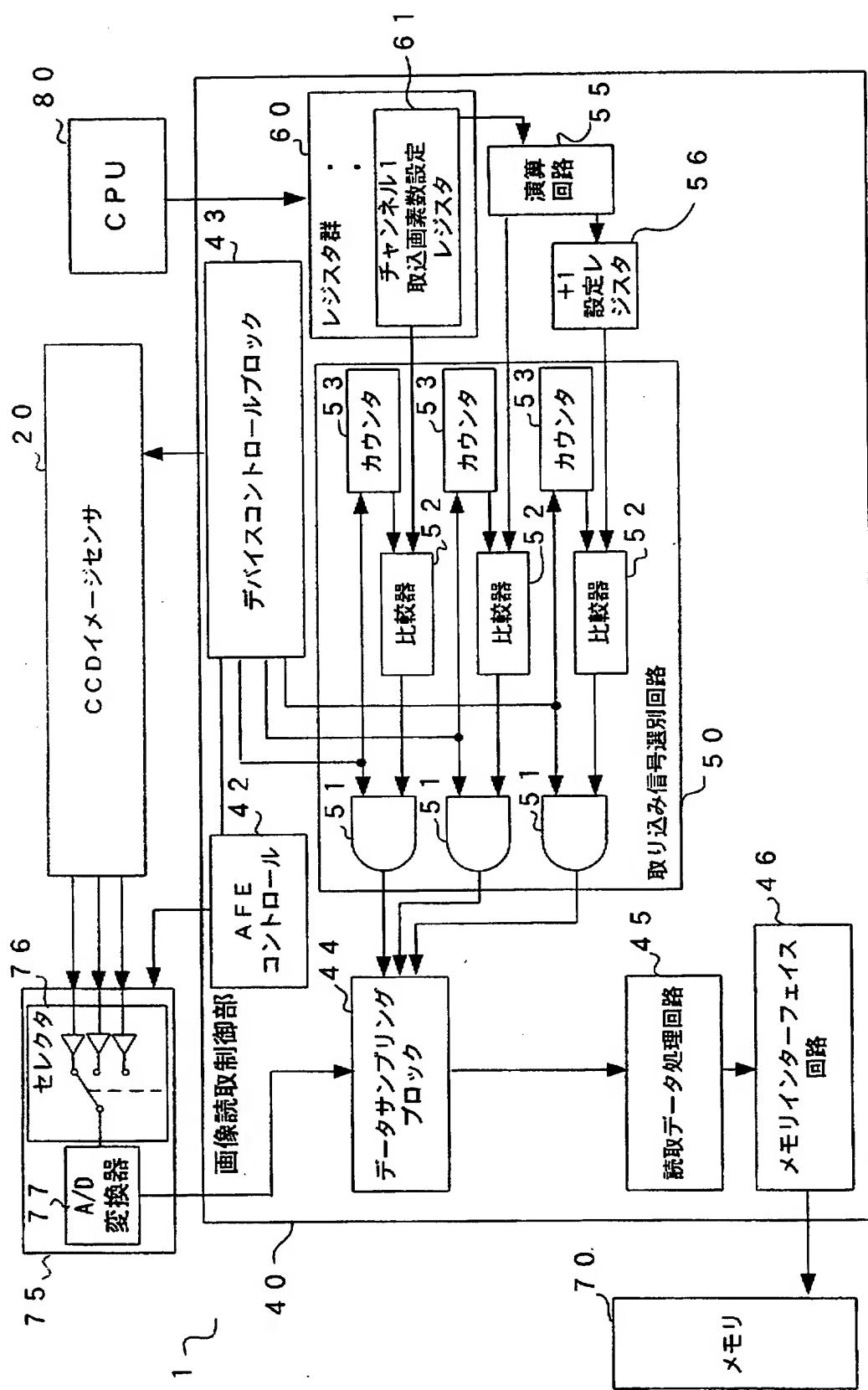
ch1_1	ch1_9	ch1_17	ch1_1	ch1_9
ch3_1	ch3_9	ch3_17	ch3_1	ch3_9
ch2_1	ch2_9	ch2_17	ch2_1	ch1_10
ch1_2	ch1_10		ch1_2	ch1_11
ch3_2	ch3_10		ch3_2	ch1_12
ch2_2	ch2_10		ch2_2	ch1_13
ch1_3	ch1_11		ch1_3	ch1_14
ch3_3	ch3_11		ch3_3	ch1_15
ch2_3	ch2_11		ch2_3	ch1_16
ch1_4	ch1_12		ch1_4	ch1_17
ch3_4	ch3_12		ch3_4	
ch2_4	ch2_12		ch2_4	
ch1_5	ch1_13		ch1_5	
ch3_5	ch3_13		ch3_5	
ch2_5	ch2_13		ch2_5	
ch1_6	ch1_14		ch1_6	
ch3_6	ch3_14		ch3_6	
ch2_6	ch2_14		ch2_6	
ch1_7	ch1_15		ch1_7	
ch3_7	ch3_15		ch3_7	
ch2_7	ch2_15		ch2_7	
ch1_8	ch1_16		ch1_8	
ch3_8	ch3_16		ch3_8	
ch2_8	ch2_16		ch2_8	

ch1_1	ch1_9	ch1_17	ch1_1	ch1_9
ch3_1	ch3_9	ch3_17	ch3_1	ch3_9
ch2_1	ch2_9	ch2_17	ch2_1	ch1_10
ch1_2	ch1_10		ch1_2	ch1_11
ch3_2	ch3_10		ch3_2	ch1_12
ch2_2	ch2_10		ch2_2	ch1_13
ch1_3	ch1_11		ch1_3	ch1_14
ch3_3	ch3_11		ch3_3	ch1_15
ch2_3	ch2_11		ch2_3	ch1_16
ch1_4	ch1_12		ch1_4	ch1_17
ch3_4	ch3_12		ch3_4	
ch2_4	ch2_12		ch2_4	
ch1_5	ch1_13		ch1_5	
ch3_5	ch3_13		ch3_5	
ch2_5	ch2_13		ch2_5	
ch1_6	ch1_14		ch1_6	
ch3_6	ch3_14		ch3_6	
ch2_6	ch2_14		ch2_6	
ch1_7	ch1_15		ch1_7	
ch3_7	ch3_15		ch3_7	
ch2_7	ch2_15		ch2_7	
ch1_8	ch1_16		ch1_8	
ch3_8	ch3_16		ch3_8	
ch2_8	ch2_16		ch2_8	

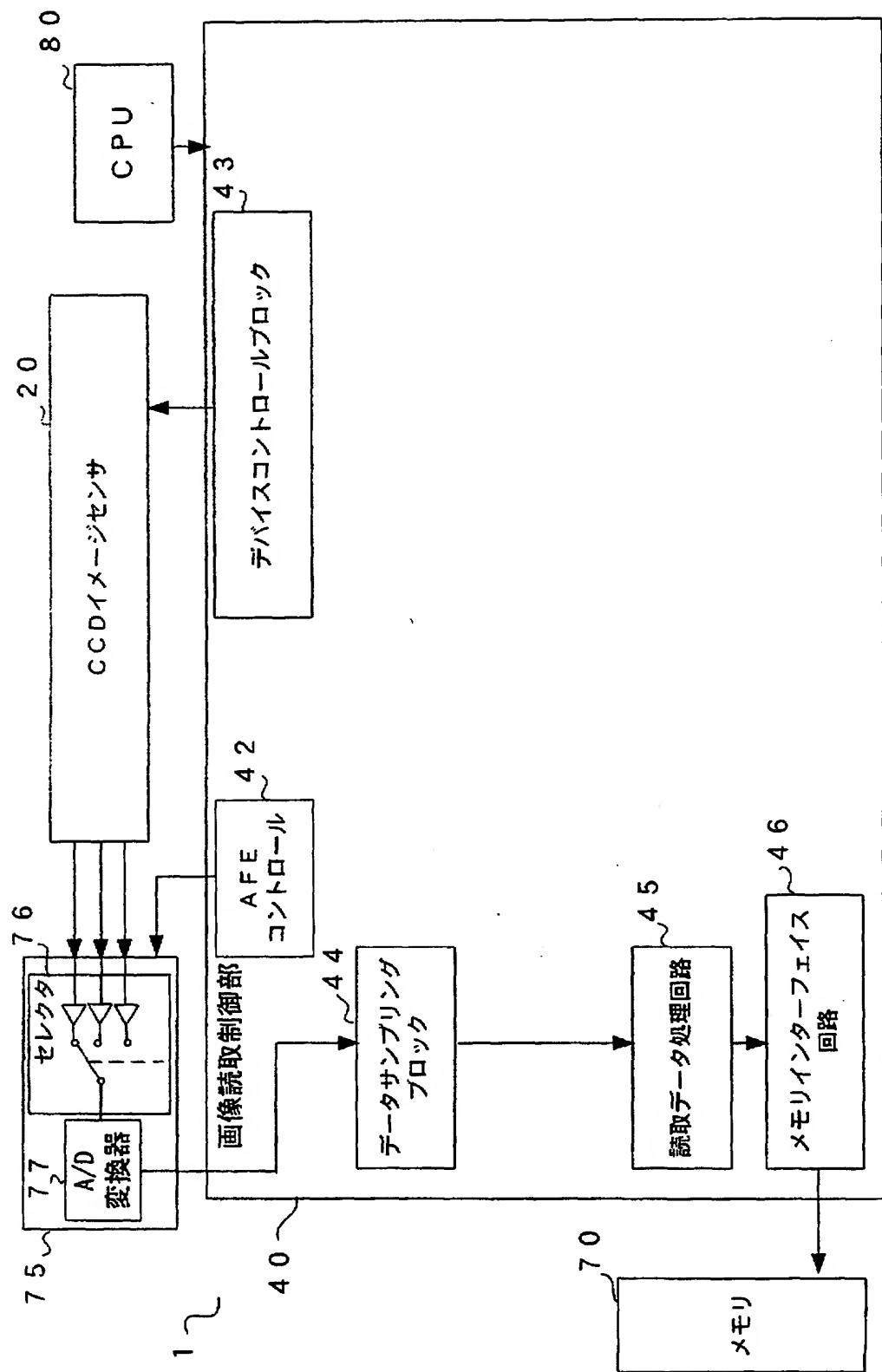
【図 6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 受光素子を一列に配置した第1、第2センサと、第1センサの受光素子全ての画素信号を出力する第1シフトレジスタと、第2センサの受光素子の偶数番目及び奇数番目の画素信号を各々出力する第2、第3シフトレジスタとかなるイメージセンサを備えた画像読取装置において、各シフトレジスタでの画素数の違いにより発生する無効なデータがメモリに書き込まれるのを防止する。

【解決手段】 C C Dイメージセンサ20を構成する第1～第3シフトレジスタから同一の転送クロックで出力される画素信号を、A F E 75を介して時分割で選択しつつ取り込み、その取り込んだ画素データをデータサンプリングブロック44で順次サンプリングしてメモリ70に記憶する。そして、そのサンプリングタイミングを、取込信号生成回路50にて制御することにより、メモリ70に記憶される画素データを、各シフトレジスタの画素数に制限する。

【選択図】 図1

特願 2002-211223

出願人履歴情報

識別番号 [000005267]

1. 変更年月日 1990年11月 5日
[変更理由] 住所変更
住所 愛知県名古屋市瑞穂区苗代町15番1号
氏名 ブラザー工業株式会社